

DERWENT-ACC-NO: **1987-280870**

DERWENT-WEEK: 198740

COPYRIGHT 2006 DERWENT INFORMATION LTD

TITLE: Large scale integrated circuit that can quickly test  
**failed flip=flop** - has selector observing output signal  
of scan **path** successively connecting flip=flops by  
branching in circuit block unit NoAbstract Dwg 1/2

PATENT-ASSIGNEE: NEC CORP[NIDE]

PRIORITY-DATA: 1986JP-0037814 (February 21, 1986)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 62195169 A	August 27, 1987	N/A	003	N/A

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP 62195169A	N/A	1986JP-0037814	February 21, 1986

INT-CL (IPC): H01L021/66, H01L027/04

ABSTRACTED-PUB-NO:

EQUIVALENT-ABSTRACTS:

TITLE-TERMS: SCALE INTEGRATE CIRCUIT CAN QUICK TEST FAIL FLIP=FLOP  
SELECT

OBSERVE OUTPUT SIGNAL SCAN PATH SUCCESSION CONNECT FLIP=FLOP  
BRANCH  
CIRCUIT BLOCK UNIT NOABSTRACT

DERWENT-CLASS: U11 U13

EPI-CODES: U11-F01D2; U13-C07;

## ⑫ 公開特許公報(A)

昭62-195169

⑤ Int.Cl.<sup>4</sup>H 01 L 27/04  
21/66

識別記号

庁内整理番号

T-7514-5F  
7168-5F

④ 公開 昭和62年(1987)8月27日

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 大規模集積回路

⑰ 特 願 昭61-37814

⑱ 出 願 昭61(1986)2月21日

⑲ 発 明 者 高 昌 直 東京都港区芝5丁目33番1号 日本電気株式会社内

⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

㉑ 代 理 人 弁理士 内 原 晋

## 明 細 書

## 発 明 の 名 称

大規模集積回路

## 特 許 請 求 の 範 囲

複数のフリップフロップを含む複数の回路ブロックを有し、前記複数の回路ブロックに含まれる前記フリップフロップを順次接続してシフトレジスタとして動作させる前記フリップフロップのテスト用のスキャンパスが設けられた大規模集積回路において、前記任意の回路ブロックに設けられテスト動作時にはこの回路ブロックの前記スキャンパスの出力信号を分流して出力し通常動作時にはこの回路ブロックからの他の出力信号を出力するセレクト回路を備えたことを特徴とする大規模集積回路。

## 発 明 の 詳 細 な 説 明

〔産業上の利用分野〕

本発明は大規模集積回路に関し、特に試験容易化設計の施された大規模集積回路に関する。

〔従来の技術〕

従来、大規模集積回路は、急速な集積度の向上につれてその設計方法も設計品質の低下を防ぎ、又、設計期間の短縮をはかるために、特定の機能を有する回路ブロック単位で分割設計する方法がとられ、その回路試験に対しては、フリップフロップを順次接続してシフトレジスタとして動作させるフリップフロップの試験容易化設計としてのスキャンパスを設け、故障検出率の向上及びテストパターン数の圧縮に効果を示している。

〔発明が解決しようとする問題点〕

しかしながら、上述した従来の大規模集積回路は、回路試験を考慮してフリップフロップの試験容易化設計を施したスキャンパスが設けてあるものの、そのスキャンパスの信号の観測点は、一つの入力端子に対して一つの出力端子のみであり、故障検出率の向上及びテストパターン数の圧縮に効果を発揮する反面、フリップフロップの故障試

驗、従って、使用チップの良否の判別及びフリップフロップの不良領域の限定に時間がかかるという欠点がある。

本発明の目的は、フリップフロップの故障による使用チップの良否の判定、及びフリップフロップの不良領域の限定が短時間にできる大規模集積回路を提供することにある。

〔問題点を解決するための手段〕

本発明の大規模集積回路は、複数のフリップフロップを含む複数の回路ブロックを有し、前記複数の回路ブロックに含まれる前記フリップフロップを順次接続してシフトレジスタとして動作させる前記フリップフロップのテスト用のスキャンパスが設けられた大規模集積回路において、前記任意の回路ブロックに設けられテスト動作時にはこの回路ブロックの前記スキャンパスの出力信号を分流して出力し通常動作時にはこの回路ブロックからの他の出力信号を出力するセレクト回路を備えて構成される。

〔実施例〕

- 3 -

ある。

この回路は、論理回路31〜33を有する構成となっている。

回路ブロック1a、1b、1cのそれぞれのスキャンパス2の出力信号V<sub>so</sub>は分流されてセレクト回路3に入力され、テスト動作信号V<sub>t</sub>が入力されたテスト動作時、スキャンパス2の出力信号V<sub>so</sub>が選択され、出力バッファ6を介して出力端子7により観測することができる。

従来、スキャンパスの信号の観測点は、スキャンパスの入力端子4sに対して、スキャンパスの出力端子7sのみであったのに対し、この実施例の構成では、回路ブロック1a、1b、1cのスキャンパス2の出力信号V<sub>so</sub>が観測できるので、フリップフロップ11の故障試験を高速に行なうことができ、従って、使用チップの良否の判別及び回路ブロック単位でのフリップフロップ11の不良領域の限定を高速に行なうことが可能となり、又、出力端子7は、テスト動作時以外はその回路ブロックからの他の出力信号V<sub>no</sub>の出力端子とし

- 5 -

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の一実施例を示す模式化したブロック図である。

この実施例の設計は、まず、設計者がシステムを各機能を有する回路ブロック1a、1b、1c、1dに分けて論理設計し、その配置配線を各回路ブロックごとにその配線領域内で行ない、その後、回路ブロック間の配線領域を使って各回路ブロック間配線、及び入出力領域の配線を行なうよう設計される。

この実施例は、それぞれ特定の機能を有する回路ブロック1a、1b、1c、1dに含まれている複数のフリップフロップ11を順次接続してこれをシフトレジスタとして動作させるフリップフロップ11の試験容易化が施されたスキャンパス2が設けられ、回路ブロック1a、1b、1cにはそれぞれセレクト回路3が設けられた構成となっている。

第2図はセレクト回路3の一例を示す回路図で

- 4 -

て有効利用される。

〔発明の効果〕

以上説明したように本発明は、複数のフリップフロップを順次接続してシフトレジスタとして動作させるスキャンパスの出力信号を回路ブロック単位で分流して観測できるセレクト回路を備えたことにより、フリップフロップの故障試験を高速に行なうことができ、従って使用チップの良否の判別、及び回路ブロック単位でのフリップフロップの不良領域の限定を高速に行なうことができる効果がある。

図面の簡単な説明

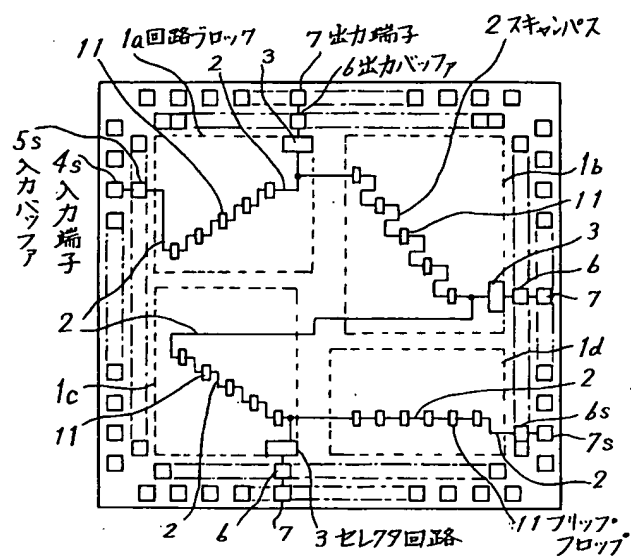
第1図は本発明の一実施例を示す模式化したブロック図、第2図は第1図に示されたセレクト回路の一例を示す回路図である。

1a、1b、1c、1d…回路ブロック、2…スキャンパス、3…セレクト回路、4s…入力端子、5s…入力バッファ、6、6s…出力バッファ、7、7s…出力端子、11…フリップフロップ

- 6 -

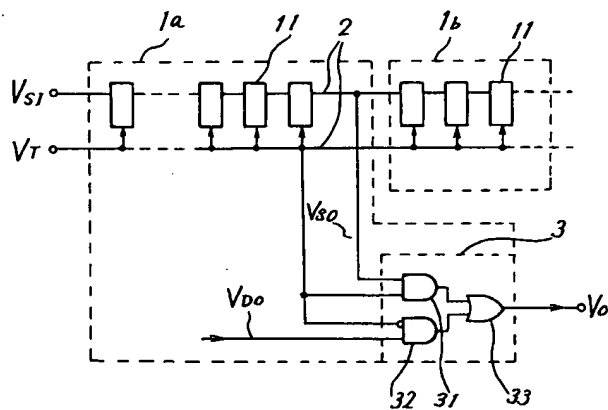
ア、31～33…論理回路。

代理人 弁理士 内 原



- 7 -

第 1 図



第 2 図